

FLAT DISPLAY PANEL DRIVING METHOD

Patent Number: JP8278766
Publication date: 1996-10-22
Inventor(s): KANAZAWA GIICHI; TOMIO SHIGETOSHI
Applicant(s):: FUJITSU LTD
Requested Patent: ☐ JP8278766
Application Number: JP19950081506 19950406
Priority Number(s):
IPC Classification: G09G3/28
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce ineffective light emission, to enhance a contrast ratio and color reproducibility and to improve display quality in a driving method of a flat display panel such as an AC type PDP for displaying an image by discharge light emission.

CONSTITUTION: In a reset period, all Y electrodes 41 -4M are made 0V, and a voltage Vaw, e.g. 100V is applied to address electrodes 21 -2N, and a write pulse PW making the voltage Vs+Vw, e.g. 330V, and making an applied time 1&mu s is applied to an X electrode 3, and thereafter, the potential of the address electrodes 21 -2N and the X electrode 3 are made 0V, and write discharge and self erase discharge are made perform only by a display cell been lighting in a discharge maintaining period of immediately before sub-field, and thus, all cells are made a wall chargeless state.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-278766

(43) 公開日 平成8年(1996)10月22日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/28		4237-5H	G 0 9 G 3/28	K
		4237-5H		B
		4237-5H		H

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願平7-81506

(22) 出願日 平成7年(1995)4月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 金澤 義一

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72) 発明者 富尾 重寿

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

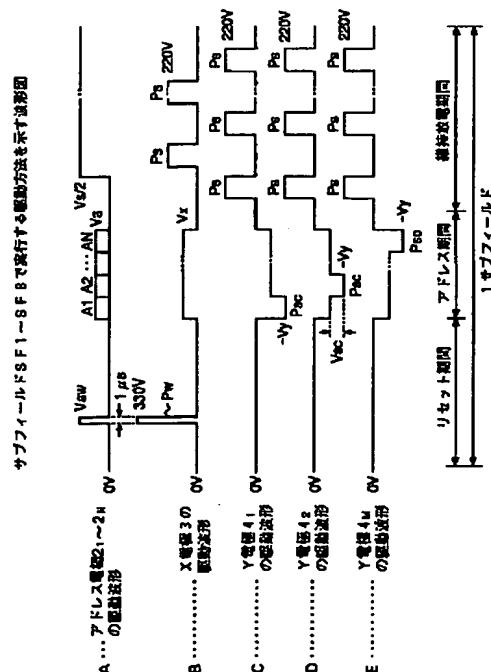
(74) 代理人 弁理士 平戸 哲夫

(54) 【発明の名称】 フラット・ディスプレイ・パネルの駆動方法

(57) 【要約】

【目的】 放電発光により画像表示を行うフラット・ディスプレイ・パネル、例えば、AC型PDPの駆動方法に関し、無効発光を減らし、コントラスト比及び色再現性を高め、表示品質の向上を図る。

【構成】 リセット期間においては、全てのY電極4₁～4_nを0Vにし、アドレス電極2₁～2_nに電圧V_{aw}、例えば、100Vを印加すると共に、X電極3に対して、電圧をV_s+V_w、例えば、330Vとし、印加時間を1μsとする書き込みパルスP_wを印加し、その後、アドレス電極2₁～2_n及びX電極3の電位を0Vとし、直前のサブフィールドの放電維持期間において点灯していた表示セルのみに書き込み放電及び自己消去放電を行わせ、これによって、全セルを壁電荷の無い状態にする。



【特許請求の範囲】

【請求項1】 少なくとも放電発光を行うための一対の電極と、該一対の電極にて規定される表示セルを複数備えたフラット・ディスプレイ・パネルの駆動方法であって、前記表示セル中の壁電荷を消去するためのリセット期間と、任意の表示セルにおいて放電発光を行うための放電期間とを有し、前記リセット期間においては、直前の放電期間において点灯していた表示セルのみに消去放電を行わせることを特徴とするフラット・ディスプレイ・パネルの駆動方法。

【請求項2】 前記リセット期間における消去放電は、電圧を放電開始電圧を越える電圧とし、極性を直前の放電期間における最後の放電によって形成された壁電荷による電圧が上乘せられる極性とし、印加時間を壁電荷が無く、非点灯状態であった表示セルが放電を開始しない時間とする電圧パルスを前記表示セルに印加することにより行われることを特徴とする請求項1記載のフラット・ディスプレイ・パネルの駆動方法。

【請求項3】 前記リセット期間における消去放電は、電圧を放電開始電圧未満の電圧とし、極性を直前の放電期間における最後の放電によって形成された壁電荷による電圧が上乘せられる極性とする電圧パルスを前記表示セルに印加することにより行われることを特徴とする請求項1記載のフラット・ディスプレイ・パネルの駆動方法。

【請求項4】 前記放電期間における放電は、前記表示セルに、最小放電開始電圧に近い電圧であって、かつ、自己消去放電を起こさない電圧のパルスを印加することにより行われることを特徴とする請求項1、2又は3記載のフラット・ディスプレイ・パネルの駆動方法。

【請求項5】 少なくとも放電発光を行うための一対の電極と、該一対の電極にて規定される表示セルを複数備えたフラット・ディスプレイ・パネルの駆動方法であって、一フレームを、表示セル中の壁電荷を消去するためのリセット期間及び任意の表示セルにおいて放電発光を行わせるための放電期間を含み、かつ、該放電期間の長さを異にする複数のサブフィールドで構成し、該複数のサブフィールドのうち、少なくとも、1個のサブフィールドにおいては、請求項1、2、3又は4記載のフラット・ディスプレイ・パネルの駆動方法が実行されることを特徴とするフラット・ディスプレイ・パネルの駆動方法。

【請求項6】 少なくとも放電発光を行うための一対の電極と、該一対の電極にて規定される表示セルを複数備えたフラット・ディスプレイ・パネルの駆動方法であって、一フレームを、表示セル中の壁電荷を消去するためのリセット期間及び任意の表示セルにおいて放電発光を行わせるための放電期間を含み、かつ、該放電期間の長さを異にする複数のサブフィールドで構成し、該複数のサブフィールドのうち、リセット期間の終了から次

のフレームのリセット期間の直前のサブフィールドの放電発光を行わせる表示セルを選択する期間までの期間が最短とされているサブフィールドのリセット期間においては、全表示セルに消去放電を行わせ、他のサブフィールドにおいては、請求項1、2、3又は4記載のフラット・ディスプレイ・パネルの駆動方法を実行することを特徴とするフラット・ディスプレイ・パネルの駆動方法。

【請求項7】 前記フラット・ディスプレイ・パネルは、第1の基板に表示ラインごとに平行に形成された前記一対の電極と、前記第1の基板又は前記第1の基板と対向する第2の基板に前記一対の電極と直交するように形成された第3の電極とを備えていることを特徴とする請求項1、2、3、4、5又は6記載のフラット・ディスプレイ・パネルの駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、放電発光により画像表示を行うフラット・ディスプレイ・パネルの駆動方法に関する。

【0002】

【従来の技術】 従来、この種のフラット・ディスプレイ・パネルとして、例えば、交流型プラズマ・ディスプレイ・パネル（以下、AC型PDPという）が提案されている。

【0003】 AC型PDPとしては、2本の電極でアドレス放電（選択放電）及び維持放電を行う2電極型のAC型PDPと、第3の電極を利用してアドレス放電を行う3電極型のAC型PDPとに分類することができる。

【0004】 ここに、カラー表示を行うAC型PDPは、放電により発生する紫外線が蛍光体を励起して所望の色を発光させているが、この蛍光体は、放電により発生する正電荷を帯びた陽イオンの衝撃に弱いという欠点がある。

【0005】 ところが、2電極型のAC型PDPは、放電により発生する陽イオンが蛍光体に直接当たるような構成となっており、放電により発生する陽イオンによる蛍光体の劣化を招くという致命的欠陥を有している。

【0006】 そこで、カラー表示を行うAC型PDPは、放電により発生する陽イオンの蛍光体への衝撃を回避できる構造である面放電を利用した3電極構造とされるのが一般的である。

【0007】 ここに、図9は、3電極・面放電型のAC型PDPの一例を示す概略的平面図であり、図9中、1はPDP本体、2₁、2₂・・・2_nは表示ラインと直交する方向に平行に形成されたアドレス電極である。

【0008】 また、3は表示ラインごとに表示ラインと平行する部分を有するように形成された一方の維持電極をなすX電極、4₁、4₂・・・4_nはX電極3の各表示ライン部分と対をなす他方の維持電極をなすY電極であ

る。

【0009】また、 5_1 、 $5_2 \cdots 5_{n+1}$ は表示セルの水平方向の空間的な結合を断ち切るためにアドレス電極間に形成された障壁（リブ、バリア）、6は表示セルの1個であり、この例では、表示セルの垂直方向の空間的な結合の断ち切りは、電極間の距離の適正化によって行われている。

【0010】また、図10は図9に示すAC型PDPのアドレス電極に沿った概略的断面図、図11は図9に示すAC型PDPのY電極に沿った概略的断面図であり、これら図10、11中、7は前面ガラス基板、 2_1 、 2_{1+1} 、 2_{1+2} はアドレス電極、 4_1 、 4_{1+1} はY電極、 5_1 、 5_{1+1} 、 5_{1+2} 、 5_{1+3} は障壁、 6_{1+1} は表示セルである。

【0011】また、X電極3及びY電極 4_1 、 4_{1+1} において、8、 9_1 、 9_{1+1} は酸化インジウムを主成分とするITO膜からなる透明電極、10、 11_1 、 11_{1+1} はそれぞれ透明電極8、 9_1 、 9_{1+1} における電圧降下を防ぐための低抵抗のバス電極であり、これらバス電極10、 11_1 、 11_{1+1} は、銅Cu、クロムCr等で形成される。

【0012】また、12はガラスからなる誘電体層、13は誘電体層12の表面を保護するための保護膜をなすMgO膜である。

【0013】また、14は前面ガラス基板7と対向する背面ガラス基板、 15_1 、 15_{1+1} 、 15_{1+2} はそれぞれアドレス電極 2_1 、 2_{1+1} 、 2_{1+2} を覆うように形成された蛍光体であり、これら蛍光体 15_1 、 15_{1+1} 、 15_{1+2} は、それぞれ、赤色、緑色、青色の発光特性を有している。

【0014】なお、この例では、前面ガラス基板7上に形成された誘電体層12を保護するMgO膜13の表面と、背面ガラス基板14に形成された障壁 $5_1 \sim 5_{n+1}$ の屋根とが密着するように、前面ガラス基板7及び背面ガラス基板14が組み立てられている。

【0015】また、図12は図9に示すAC型PDPを駆動するための周辺回路を概略的に示すブロック回路図であり、図12中、17は図9に示すAC型PDP、18はアドレス電極 $2_1 \sim 2_n$ に対してアドレスパルスA1～ANを供給するアドレスドライバ、19はX電極3に対して書込みパルスPw及び維持放電パルスPsを供給するX側共通ドライバである。

【0016】また、20はY電極 $4_1 \sim 4_n$ に対してスキャンパルスPscを供給するYスキャンドライバ、21はYスキャンドライバ20を介してY電極 $4_1 \sim 4_n$ に対して維持放電パルスPsを供給するY側共通ドライバである。

【0017】また、22はアドレスドライバ18、X側共通ドライバ19、Yスキャンドライバ20及びY側共通ドライバ21を制御する制御回路である。

【0018】この制御回路22において、23はドットクロックCLOCK及び表示データDATAを入力し、アドレスドライバ18を制御する表示データ制御部であり、24は1フレーム分の表示データを一時的に記憶させるためのフレームメモリである。

【0019】また、25は垂直同期信号VSYNC及び水平同期信号HSYNCを入力するパネル駆動制御部であり、26はYスキャンドライバ20を制御するスキャンドライバ制御部、27はX側共通ドライバ19及びY側共通ドライバ21を制御する共通ドライバ制御部である。

【0020】また、図13は図9に示すAC型PDPの従来の駆動方法の一例を示す波形図であり、1サブフィールド期間を示しており、この例では、1サブフィールド期間は、リセット期間と、アドレス期間と、維持放電期間とに分離されている。即ち、このAC型PDPの駆動方法は、従来のアドレス/維持放電期間分離型・書込みアドレス方式によるAC型PDPの駆動方法の一例を示している。

【0021】ここに、図13Aはアドレス電極 $2_1 \sim 2_n$ の駆動波形、図13BはX電極3の駆動波形、図13CはY電極 4_1 の駆動波形、図13DはY電極 4_2 の駆動波形、図13EはY電極 4_n の駆動波形を示している。

【0022】即ち、リセット期間においては、まず、全てのY電極 $4_1 \sim 4_n$ が0Vにされ、アドレス電極 $2_1 \sim 2_n$ に電圧Vaw、例えば、100Vが印加されると共に、X電極3に、電圧をVs+Vw、例えば、330Vとし、印加時間を10μsとする書込みパルスPwが印加され、直前のサブフィールドの維持放電期間における点灯状態に関わらず、パネル内の全表示セルで放電が行われ、全表示セルに壁電荷が蓄積される。

【0023】次に、アドレス電極 $2_1 \sim 2_n$ 及びX電極3の電位が0Vとされ、この結果、パネル内の全表示セルにおいて、蓄積された壁電荷自身の電圧が放電開始電圧を越えて、放電が開始される。

【0024】この放電は、X電極3及びY電極 $4_1 \sim 4_n$ 間に電位差がないため、壁電荷が形成されることはなく、空間電荷が自己中和して放電が終息する自己消去放電であり、この自己消去放電によって、パネル内の全表示セルの状態が壁電荷の無い均一な状態となり、直前のサブフィールドの維持放電期間における点灯状態に関わらず、次のアドレス放電を安定に行うことができることになる。

【0025】次のアドレス期間においては、表示データDATAの書込みのためのアドレス放電、即ち、表示データDATAに応じて、維持放電期間に維持放電を行わせて点灯させるべき表示セルの選択を行うためのアドレス放電が線順次で行われる。

【0026】この場合、X電極に電圧Vx、例えば、500Vが印加されると共に、第1表示ラインのY電極 4_1

に電圧 $-V_y$ 、例えば、 $-150V$ のスキャンパルス P_s が印加され、かつ、選択する表示セルのアドレス電極に電圧 V_a 、例えば、 $50V$ のアドレスパルス A_1 が選択的に印加される。

【0027】この結果、選択する表示セルのアドレス電極とY電極 4_1 との間で放電が起こるが、これを種火（プライミング）としてX電極3とY電極 4_1 との間の放電に即時に移行し、これによって、選択された表示セルのX電極3及びY電極 4_1 上のMgO膜13の表面に維持放電が可能な量の壁電荷が蓄積される。

【0028】以下、順次、他の表示ラインについても、これと同様の動作が行われ、新たな表示データDATAに基づくアドレスパルス $A_2 \cdots A_N$ の供給が行われ、選択された表示セルに対する書込みが行われる。

【0029】次の維持放電期間においては、Y電極 4_1 とX電極3とに交互に、電圧を V_s 、例えば、 $180V$ とする維持放電パルス P_s が印加されて維持放電が行われ、1サブフィールドの画像表示が行われる。

【0030】かかるアドレス／維持放電分離型・書込みアドレス方式の駆動方法においては、維持放電期間の長短、つまり、維持放電パルス P_s の供給回数によって輝度が決定される。

【0031】ここに、図14は図9に示すAC型PDPにおいて256階調表示を行う場合の駆動方法を示しており、この例では、完全な1画像を表示する1フレームは、8個のサブフィールドSF1～SF8から構成されている。なお、 $29_1 \sim 29_8$ はアドレス放電が行われる表示ラインを示すアドレスラインである。

【0032】ここに、サブフィールドSF1～SF8においては、リセット期間及びアドレス期間は、それぞれ、同一の長さとなるが、維持放電期間の長さは、 $1:2:4:8:16:32:64:128$ の比率とされる。

【0033】したがって、これらサブフィールドSF1～SF8の中から、表示セルを点灯させるサブフィールドを選択することで、0段階から255段階までの256段階の輝度の違いを表示できることになる。

【0034】ここに、実際の時間配分の一例は次のようになる。即ち、画面の書換えの周波数を、たとえば、 $60Hz$ とすると、1フレームの時間（長さ）は、 $16.6ms$ （ $1/60s$ ）となる。

【0035】また、1フレーム内の維持放電サイクルの回数を、たとえば、510回とすると、各サブフィールドSF1～SF8における維持放電サイクルの回数は、サブフィールドSF1が2回、サブフィールドSF2が4回、サブフィールドSF3が8回、サブフィールドSF4が16回、サブフィールドSF5が32回、サブフィールドSF6が64回、サブフィールドSF7が128回、サブフィールドSF8が256回となる。

【0036】また、維持放電サイクルの一回の時間を8

μs とすると、1フレームでの維持放電サイクルの合計は、 $8\mu s \times 510回 = 4.08ms$ となり、残りの約 $12ms$ の中に8回のリセット期間及びアドレス期間が割り当てられることになる。

【0037】なお、各サブフィールドSF1～SF8でのリセット期間は $50\mu s$ を必要とされ、また、アドレスサイクル（1表示ライン当たりのスキャン）に必要な時間は $3\mu s$ とされるので、垂直方向に、例えば、480ラインの表示ラインを持つ場合には、アドレス期間として、 $3\mu s \times 480 = 1.44ms$ の時間を必要とされる。

【0038】

【発明が解決しようとする課題】ここに、図13に示すAC型PDPの駆動方法においては、リセット期間において、全表示セルについて書込み放電及び自己消去放電を行うことで、全表示セルに壁電荷の無い均一な状態を作り出すとしている。

【0039】この結果、直前のサブフィールドの維持放電期間での表示セルの点灯状態には関係なく、次のサブフィールドのリセット期間においては、最低2回の放電が行われ、例えば、図14に示すように、1フレームを8個のサブフィールドSF1～SF8で構成して256階調表示を行う場合には、1フレームで16回の無効発光が行われてしまう。

【0040】ここに、表示品質の観点からは、映像信号のレベルが0Vの場合、発光が全くない完全な黒色表示が行われることが望ましいが、図13及び図14に示す従来のAC型PDPの駆動方法においては、最大輝度に対して2%程度の無効発光があるため、暗室中でも、コントラスト比を50:1程度にしている。

【0041】この結果、図13及び図14に示す従来のAC型PDPの駆動方法においては、最大映像信号レベルに対して、例えば、 $200cd/m^2$ の輝度がある場合、黒表示の輝度は、暗室中において $4cd/m^2$ となり、良好なコントラスト比を得ることができないという問題点があった。

【0042】また、図13及び図14に示す従来のAC型PDPの駆動方法においては、常に2%程度の白色発光があるため、赤、青、緑等の色を表示しても、輝度2%程度の白色との混色となり、色再現性が劣るという問題点もあった。

【0043】本発明は、かかる点に鑑み、放電発光により画像表示を行うフラット・ディスプレイ・パネルの駆動方法であって、無効発光を減らし、コントラスト比及び色再現性を高め、表示品質の向上を図ることができるようにしたフラット・ディスプレイ・パネルの駆動方法を提供することを目的とする。

【0044】

【課題を解決するための手段】本発明のフラット・ディスプレイ・パネルの駆動方法は、少なくとも放電発光を

行うための一対の電極と、この一対の電極にて規定される表示セルを複数備えたフラット・ディスプレイ・パネルの駆動方法であって、表示セル中の壁電荷を消去するためのリセット期間と、任意の表示セルにおいて放電発光を行わせるための放電期間とを有し、リセット期間においては、直前の放電期間において点灯していた表示セルのみに消去放電を行わせるというものである。

【0045】

【作用】本発明においては、リセット期間においては、直前の放電期間において点灯していた表示セルのみに消去放電を行わせるとし、直前の放電期間において非点灯状態であった表示セルについては消去放電を行わせないとしているので、その分、無効発光を減らすことができる。

【0046】

【実施例】以下、図1～図8を参照して、本発明の第1実施例～第4実施例について、図9に示すAC型PDPを、256階調表示を行わせるように駆動する場合を例にして説明する。

【0047】第1実施例・図1～図3

図1は本発明の第1実施例を説明するためのタイムチャートであり、この第1実施例においては、完全な一画像を表示する1フレームは8個のサブフィールドSF1～SF8から構成されている。なお、29₁～29₈は、前述したように、アドレスラインである。

【0048】これらサブフィールドSF1～SF8においては、リセット期間及びアドレス期間は、それぞれ、同一の長さとなされるが、維持放電期間の長さは、1:2:4:8:16:32:64:128の比率とされる。

【0049】そして、この第1実施例においては、サブフィールドSF1～SF8において、図2に示す駆動方法が実行される。

【0050】ここに、図2Aはアドレス電極2₁～2₈の駆動波形、図2BはX電極3の駆動波形、図2CはY電極4₁の駆動波形、図2DはY電極4₂の駆動波形、図2EはY電極4₈の駆動波形を示している。

【0051】即ち、リセット期間においては、まず、全てのY電極4₁～4₈を0Vにし、アドレス電極2₁～2₈に電圧V_{aw}、例えば、100Vを印加すると共に、X電極3に、電圧をV_s+V_w、例えば、330Vとし、印加時間を1μsとする書込みパルスP_wを印加し、その後、アドレス電極2₁～2₈及びX電極3の電位を0Vとする。

【0052】この書込みパルスP_wの印加は、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルについては書込み放電及び自己消去放電を行わず、直前のサブフィールドの維持放電期間において点灯していた表示セルのみに書込み放電及び自己消去放電を行わせ、これによって、全表示セルを壁電荷の無い

状態にすることを目的としている。

【0053】この駆動方法は、書込みパルスP_wに上乗せされた形で作用する壁電荷が存在する場合と、壁電荷が存在しない場合とでは、放電開始を越える電圧パルスを印加した場合、パルスの立ち上がりから、放電を開始するまでの時間、即ち、放電遅延時間に大きな差が存在するというPDPの特性を利用したものである。

【0054】実際の放電遅延時間は、書込みパルスP_wの電圧V_s+V_wによって差はあるが、代表的な例としては、壁電荷が存在する場合、放電遅延時間は、100ns～300nsであり、壁電荷の無い場合には、1.5μs～2.0μsである。

【0055】ここに、図3は、この第1実施例で行われるリセット期間の動作を説明するための波形図であり、図3AはX電極3の駆動波形、図3BはY電極4₁～4₈の駆動波形を示しており、図3Aにおいて、破線31は従来例の場合を示している。

【0056】また、図3Cは、第1実施例において、直前のサブフィールドの維持放電期間において点灯していた表示セルの放電電流、図3Dは、第1実施例において、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルの放電電流を示している。

【0057】また、図3Eは、図13に示す駆動方法において、直前のサブフィールドの維持放電期間において点灯していた表示セルの放電電流、図3Fは、図13に示す駆動方法において、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルの放電電流を示している。

【0058】即ち、第1実施例においては、電圧を、例えば、330Vとし、印加時間を1μsとする書込みパルスP_wを印加するとしているので、直前のサブフィールドの維持放電期間において点灯しており、維持放電が可能な壁電荷を有していた表示セルのみが放電を開始して、壁電荷の形成を始めるが、直前のサブフィールドの維持放電期間において非点灯状態にあった表示セルは放電を開始せず、壁電荷を形成しないことになる。

【0059】そして、1μsの印加時間が終了すると、アドレス電極2₁～2₈及びX電極3の電位を0Vとするとしているので、直前のサブフィールドの維持放電期間において点灯しており、書込みパルスP_wにより大規模放電を行い、多くの壁電荷を蓄積した表示セルにおいてのみ自己消去放電が起こり、壁電荷が中和され、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルには何も起こらないことになる。

【0060】このようにして、この第1実施例においては、直前のサブフィールドの維持放電期間において点灯していた表示セルのみに書込み放電及び自己消去放電を行わせ、これによって、全表示セルを壁電荷の無い状態にし、直前のサブフィールドの点灯状態に関わらず、次のアドレス放電を安定に行うとしている。

【0061】次のアドレス期間においては、表示データDATAの書き込みのためのアドレス放電、即ち、表示データDATAに応じて、維持放電期間に維持放電を行わせて点灯させるべき表示セルの選択を行うためのアドレス放電を線順次で行う。

【0062】この場合には、X電極に電圧 V_x 、例えば、50Vを印加すると共に、第1表示ラインのY電極 4_1 に電圧 $-V_y$ 、例えば、-150Vのスキャンパルス P_{sc} を印加し、かつ、選択する表示セルのアドレス電極に電圧 V_a 、例えば、50VのアドレスパルスA1を選択的に印加する。

【0063】このようにすると、選択する表示セルのアドレス電極とY電極 4_1 との間で放電が起こるが、これを種火として、選択する表示セルのX電極3とY電極 4_1 との間の放電に即時に移行し、これによって、選択された表示セルのX電極3とY電極 4_1 上のMgO膜13の表面に維持放電が可能な量の壁電荷が蓄積される。

【0064】以下、順次、他の表示ラインについても、これと同様の動作を行い、新たな表示データDATAに基づくアドレスパルスA2・・・ANの供給を行い、選択された表示セルに対する書き込みを行うようにする。

【0065】次の維持放電期間においては、Y電極 4_1 とX電極3とに交互に、電圧を V_s 、例えば、220Vとする維持放電パルス P_s を印加して維持放電を行わせ、1サブフィールドの画像表示を行うようにする。

【0066】ここに、維持放電パルス P_s は、通常、最小放電開始電圧 V_f 、例えば、280Vと、最小維持放電電圧 V_{sm} 、例えば、130Vとの略中間の電圧である180Vに設定される。

【0067】ところで、リセット期間において、書き込みパルス P_w を印加する場合、予め大量の壁電荷を保有していた方が、書き込みパルス P_w の印加時の放電開始の遅延時間が短くなり、かつ、放電の規模も大きくなり、より多くの壁電荷を蓄積させることができる。

【0068】そして、また、自己消去放電は、大量の壁電荷が存在する程、確実に行われ、放電終了後の壁電荷の残留も少なくなることから、維持放電パルス P_s の電圧 V_s も、可能な限り高い方がよい。

【0069】しかし、維持放電パルス P_s の電圧 V_s を最小放電開始電圧 V_f である、例えば、280Vに近い値、例えば、230Vにすると、維持放電期間において、X電極3及びY電極 $4_1 \sim 4_n$ が0Vとなったタイミングで、自己消去放電を起こしてしまうという不都合がある。

【0070】そこで、維持放電パルス P_s の電圧 V_s を自己消去放電を起こさない範囲で高めれば、維持放電を行い、かつ、リセット期間において、書き込みパルス P_w を印加する場合、予め大量の壁電荷を保有させることができ、書き込みパルス P_w の印加時の放電開始の遅延時間が短くなり、かつ、放電の規模も大きくなり、より多くの

壁電荷を蓄積させることができる。

【0071】そこで、この第1実施例においては、維持放電パルス P_s の電圧 V_s を自己消去放電を起こさない範囲の220Vとし、従来例の場合の180Vよりも高い電圧としている。

【0072】以上のように、この第1実施例においては、リセット期間において、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルについては書き込み放電及び自己消去放電を行わず、直前のサブフィールドの維持放電期間において点灯していた表示セルのみに書き込み放電及び自己消去放電を行わせ、全表示セルを壁電荷の無い状態にしているため、無効発光を減らすことができる。

【0073】したがって、この第1実施例によれば、3電極・面放電型のAC型PDPについて、256階調表示を行わせる場合において、コントラスト比及び色再現性を高め、表示品質の向上を図ることができる。

【0074】第2実施例・・・図4～図6

図4は本発明の第2実施例を説明するためのタイムチャートであり、この第2実施例においても、1フレームは、8個のサブフィールドSF1～SF8に区分される。

【0075】そして、これらサブフィールドSF1～SF8においては、リセット期間及びアドレス期間は、それぞれ、同一の長さとなされるが、維持放電期間の長さは、1:2:4:8:16:32:64:128の比率となされることは、第1実施例の場合と同様である。

【0076】そして、この第2実施例においては、サブフィールドSF1～SF8において、図5に示す駆動方法が実行される。

【0077】ここに、図5Aはアドレス電極 $2_1 \sim 2_n$ の駆動波形、図5BはX電極3の駆動波形、図5CはY電極 4_1 の駆動波形、図5DはY電極 4_2 の駆動波形、図5EはY電極 4_n の駆動波形を示している。

【0078】即ち、リセット期間においては、まず、全てのY電極 $4_1 \sim 4_n$ を0Vにし、アドレス電極 $2_1 \sim 2_n$ に電圧 V_{aw} 、例えば、100Vを印加すると共に、X電極3に、電圧を $V_s + V_w$ 、例えば、260Vとし、印加時間を10 μ sとする書き込みパルス P_w を印加し、その後、アドレス電極 $2_1 \sim 2_n$ 及びX電極3の電位を0Vとする。

【0079】この書き込みパルス P_w の印加は、第1実施例の場合と同様に、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルについては書き込み放電及び自己消去放電を行わず、直前のサブフィールドの維持放電期間において点灯していた表示セルのみに書き込み放電及び自己消去放電を行わせ、全表示セルを壁電荷の無い状態にすることを目的としている。

【0080】この駆動方法は、書き込みパルス P_w に乗せられた形で作用する壁電荷が存在する場合と、壁電荷

が存在しない場合とでは、放電を開始させるために必要な電圧が異なり、壁電荷が存在しない場合には、放電開始電圧を越える電圧をX、Y電極間に印加しなければ、放電を開始しないが、壁電荷が存在する場合には、放電開始電圧よりも低い電圧を供給すれば、放電を開始するというPDPの特性を利用したものである。

【0081】実際の放電開始電圧は、表示セルのばらつきにより、280V～320Vの間にあるが、260Vであれば、壁電荷が存在する表示セルのみに放電を開始させることができる。

【0082】ここに、図6は、この第2実施例で行われるリセット期間の動作を説明するための波形図であり、図6AはX電極3の駆動波形、図6BはY電極4₁～4₄の駆動波形を示しており、図6Aにおいて、破線33は従来例の場合を示している。

【0083】また、図6Cは、第2実施例において、直前のサブフィールドの維持放電期間において点灯していた表示セルの放電電流、図6Dは、第2実施例において、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルの放電電流を示している。

【0084】また、図6Eは、図13に示す駆動方法において、直前のサブフィールドの維持放電期間において点灯していた表示セルの放電電流、図6Fは、図13に示す駆動方法において、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルの放電電流を示している。

【0085】即ち、この第2実施例においては、電圧を最小放電開始電圧未満の電圧であるが、維持放電パルスP_sの電圧V_sである220Vに対して高い電圧である260Vとし、印加時間を10μsとする書込みパルスP_wを印加するとしているので、直前のサブフィールドの維持放電期間において点灯しており、維持放電が可能な壁電荷を有していた表示セルのみが放電を開始して、壁電荷の形成を始めるが、直前のサブフィールドの維持放電期間において非点灯状態にあった表示セルは放電を開始せず、壁電荷を形成しないことになる。

【0086】そして、10μsの印加時間が終了すると、アドレス電極2₁～2₄及びX電極3の電位を0Vとするとしているので、直前のサブフィールドの維持放電期間において点灯しており、書込みパルスP_wで大規模放電を行い、多くの壁電荷を蓄積した表示セルにおいてのみ自己消去放電が起こり、壁電荷が中和され、直前のサブフィールドの維持放電期間において非点灯状態であった表示セルには何も起こらないことになる。

【0087】このようにして、この第2実施例においては、直前のサブフィールドの維持放電期間において点灯していた表示セルのみに書込み放電及び自己消去放電を行わせ、これによって、全表示セルを壁電荷の無い状態にし、直前のサブフィールドの点灯状態に関わらず、次のアドレス放電を安定に行うとしている。

【0088】次のアドレス期間においては、表示データDATAの書き込みのためのアドレス放電、即ち、表示データDATAに応じて、維持放電期間に維持放電を行わせて点灯させるべき表示セルの選択を行うためのアドレス放電を線順次で行う。

【0089】この場合、X電極3に電圧V_x、例えば、50Vを印加すると共に、第1表示ラインのY電極4₁に電圧-V_y、例えば、-150VのスキャンパルスP_{sc}を印加し、かつ、選択する表示セルのアドレス電極に電圧V_a、例えば、50VのアドレスパルスA₁を選択的に印加するようにする。

【0090】このようにすると、選択する表示セルのアドレス電極とY電極4₁との間で放電が起こるが、これを種火としてX電極3とY電極4₁との間の放電に即時に移行し、これにより、選択された表示セルのX電極3とY電極4₁上のMgO膜13の表面に維持放電が可能な量の壁電荷が蓄積される。

【0091】以下、順次、他の表示ラインについても、これと同様の動作を行い、新たな表示データDATAに基づくアドレスパルスA₂・・・A_Nの供給を行い、選択すべき表示セルに対する書き込みを行うようにする。

【0092】次の維持放電期間においては、Y電極4₁とX電極3とに交互に、電圧をV_s、例えば、220Vとする維持放電パルスP_sを印加して維持放電を行わせ、1サブフィールドの画像表示を行うようにする。

【0093】この電圧を220Vとする維持放電パルスP_sの印加は、第1実施例の場合と同様に、維持放電を行い、かつ、リセット期間において、書き込みパルスP_wを印加する場合、予め大量の壁電荷を保有させ、書き込みパルスP_wの印加時の放電開始の遅延時間を短くし、かつ、放電の規模を大きくし、より多くの壁電荷を蓄積させるためである。

【0094】以上のように、この第2実施例においては、リセット期間において、直前のサブフィールドの維持放電期間で非点灯状態であった表示セルについては書込み放電及び自己消去放電を行わず、直前のサブフィールドの維持放電期間で点灯していた表示セルのみに書込み放電及び自己消去放電を行わせ、全表示セルを壁電荷の無い状態にするとしているので、無効発光を減らすことができる。

【0095】したがって、この第2実施例によれば、3電極・面放電型のAC型PDPについて、256階調表示を行わせる場合において、コントラスト比及び色再現性を高め、表示品質の向上を図ることができる。

【0096】第3実施例・図7

図7は本発明の第3実施例を説明するためのタイムチャートであり、この第3実施例においても、1フレームは、8個のサブフィールドSF1～SF8に区分される。

【0097】そして、これらサブフィールドSF1～S

F8においては、リセット期間及びアドレス期間は、それぞれ、同一の長さとなるが、維持放電期間の長さは、1:2:4:8:16:32:64:128の比率とされることは、第1実施例の場合と同様である。

【0098】この第3実施例は、サブフィールドSF1のリセット期間においては、図13に示す従来の駆動方法を実行し、全表示セルに書き込み放電及び自己消去放電を行わせ、サブフィールドSF1のアドレス期間、維持放電期間及びサブフィールドSF2～SF8においては、図2に示す駆動方法を実行するというものである。

【0099】ここに、前述した第1実施例の場合、表示が全く行われず、数秒ないし数時間後に初めて点灯させようすると、それまでの時間は、全く放電が行われなかったために、空間に電荷が全く存在しないことになる。

【0100】通常、放電が終了しても、数ミリ秒の間は、空間中に、微量の電荷が存在しており、書き込みを行う場合、これら微量の電荷の存在が、書き込み確率を一定以上に上げることになる（プライミング効果）。

【0101】しかし、第1実施例の場合には、放電が全く起こらない状態が長く続き、空間中に電荷が全く存在しない状態が発生する可能性があり、初めてアドレスを行う場合には、書き込み確率が悪くなるというおそれがある。

【0102】そこで、この第3実施例は、第1実施例を改良し、1フレームに1回は、従来の場合と同様に、全表示セルに書き込み放電及び自己消去放電を行わせ、空間中に電荷が全く存在しない状態を回避するとしている。

【0103】なお、全表示セルについて書き込み放電及び自己消去放電を行わせるサブフィールドは、リセット期間の終了から次のフレームの、全表示セルについて書き込み放電及び自己消去放電を行わせるサブフィールドのリセット期間の直前のサブフィールドのアドレス期間までの期間が最短となるように配列することが、プライミング効果を最も発揮させることができる。

【0104】この第3実施例によれば、第1実施例の場合に比較して、無効発光が多少多くなるが、従来例よりも無効発光を減らすことができ、3電極・面放電型のAC型PDPについて、256階調表示を行わせる場合において、コントラスト比及び色再現性を高め、表示品質の向上を図ることができる。

【0105】第4実施例・・図8

図8は本発明の第4実施例を説明するためのタイムチャートであり、この第4実施例においても、1フレームは、8個のサブフィールドSF1～SF8に区分される。

【0106】これらサブフィールドSF1～SF8においては、リセット期間及びアドレス期間は、それぞれ、同一の長さとなるが、維持放電期間の長さは、1:2:4:8:16:32:64:128の比率とされる

ことは、第1実施例の場合と同様である。

【0107】この第4実施例は、サブフィールドSF1のリセット期間においては、図13に示す従来の駆動方法を実行し、全表示セルに書き込み放電及び自己消去放電を行わせ、サブフィールドSF1のアドレス期間、維持放電期間及びサブフィールドSF2～SF8においては、図5に示す駆動方法を実行するというものである。

【0108】ここに、前述した第2実施例の場合、第1実施例の場合と同様に、表示が全く行われず、数秒ないし数時間後に初めて点灯させようすると、それまでの時間は、全く放電が行われなかったために、空間中に電荷が全く存在しないことになる。

【0109】そこで、この第4実施例は、第2実施例を改良し、1フレームに1回は、従来の場合と同様に、全表示セルに書き込み放電及び自己消去放電を行わせ、空間中に電荷が全く存在しない状態を回避するとしている。

【0110】なお、全表示セルについて書き込み放電及び自己消去放電を行わせるサブフィールドは、リセット期間の終了から次のフレームの全表示セルについて書き込み放電及び自己消去放電を行わせるサブフィールドのリセット期間の直前のサブフィールドのアドレス期間までの期間が最短となるように配列することが、プライミング効果を最も発揮させることができることは、第3実施例の場合と同様である。

【0111】この第4実施例によれば、第2実施例の場合に比較して、無効発光が多少多くなるが、従来例よりも無効発光を減らすことができ、3電極・面放電型のAC型PDPについて、256階調表示を行わせる場合において、コントラスト比及び色再現性を高め、表示品質の向上を図ることができる。

【0112】

【発明の効果】以上のように、本発明によれば、リセット期間においては、直前の放電期間において点灯していた表示セルのみに消去放電を行わせるとし、直前の放電期間において非点灯状態であった表示セルについては消去放電を行わせないとしているので、無効発光を減らすことができ、コントラスト比及び色再現性を高め、表示品質の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を説明するためのタイムチャートである。

【図2】本発明の第1実施例のサブフィールドで実行する駆動方法を示す波形図である。

【図3】本発明の第1実施例で行われるリセット期間の動作を説明するための波形図である。

【図4】本発明の第2実施例を説明するためのタイムチャートである。

【図5】本発明の第2実施例のサブフィールドで実行する駆動方法を示す波形図である。

【図6】本発明の第2実施例で行われるリセット期間の

動作を説明するための波形図である。

【図7】本発明の第3実施例を説明するためのタイムチャートである。

【図8】本発明の第4実施例を説明するためのタイムチャートである。

【図9】3電極・面放電型のAC型PDPの一例を示す概略的平面図である。

【図10】図9に示すAC型PDPのアドレス電極に沿った概略的断面図である。

【図11】図9に示すAC型PDPのY電極に沿った概略的断面図である。

【図12】図9に示すAC型PDPを駆動するための周

【図1】

第1実施例を説明するためのタイムチャート

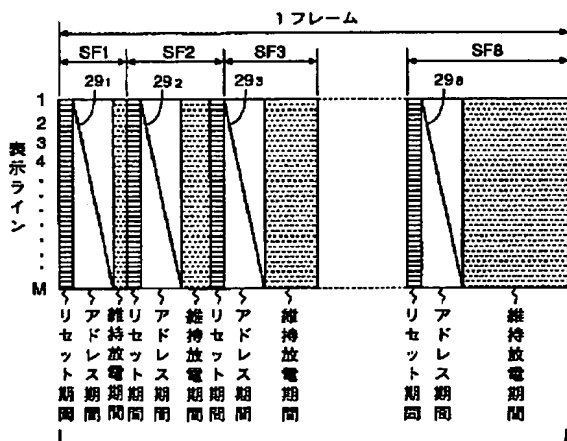
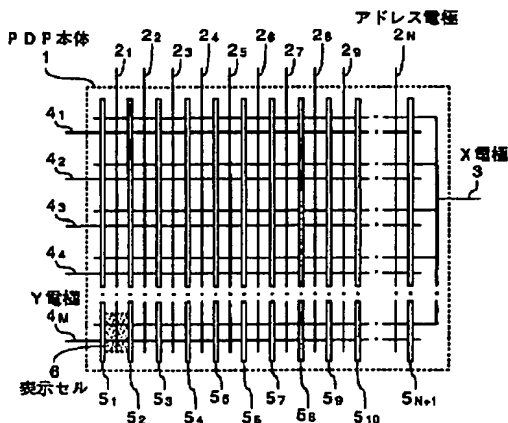


図2に示す駆動方法を実行する

【図9】

3電極・面放電型のAC型PDPの一例を示す概略的平面図



辺回路を概略的に示すブロック回路図である。

【図13】図9に示すAC型PDPの従来の駆動方法の一例を示す波形図である。

【図14】図9に示すAC型PDPにおいて256階調表示を行う場合の駆動方法を示すタイムチャートである。

【符号の説明】

29₁~29₈、29₈ アドレスライン

P_W 書き込みパルス

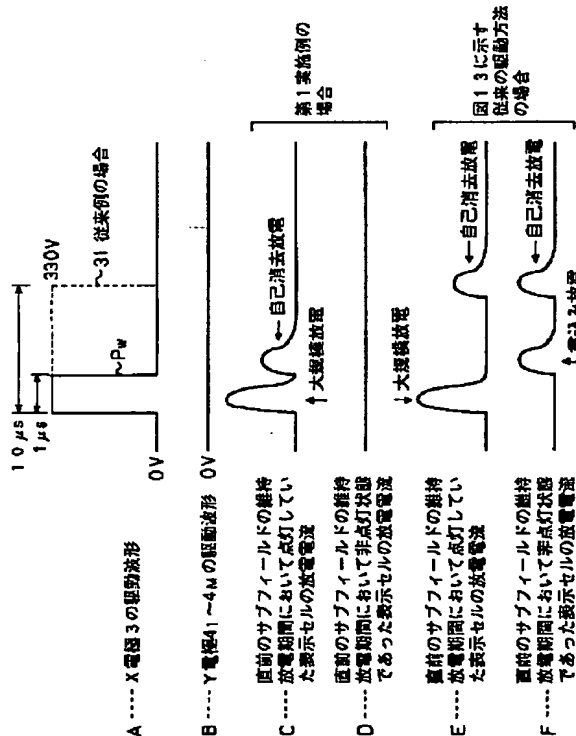
A₁~A_N アドレスパルス

P_{sc} スキャンパルス

P_s 維持放電パルス

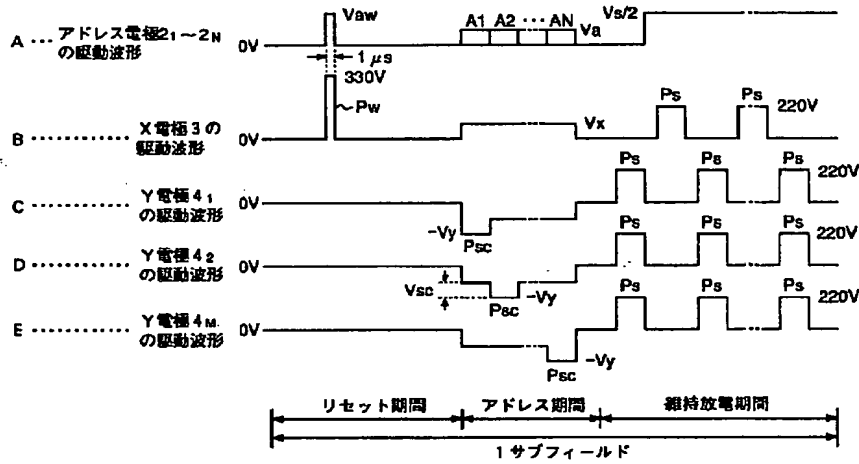
【図3】

第1実施例で行われるリセット期間の動作を説明するための波形図



【図2】

サブフィールドSF1～SF8で実行する駆動方法を示す波形図



【図4】

第2実施例を説明するためのタイムチャート

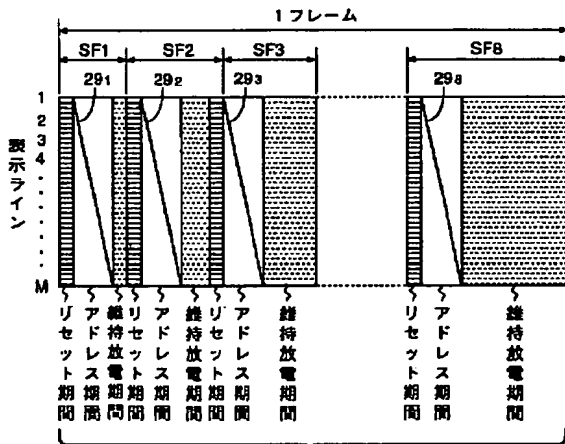
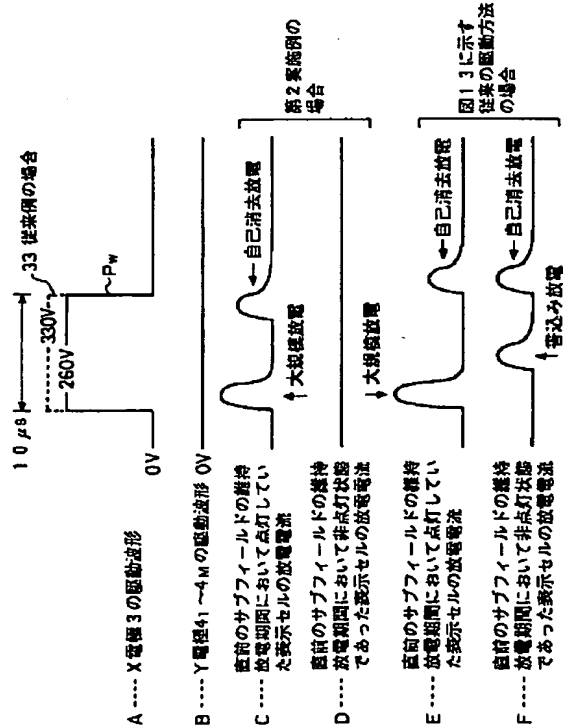


図5に示す駆動方法を実行する

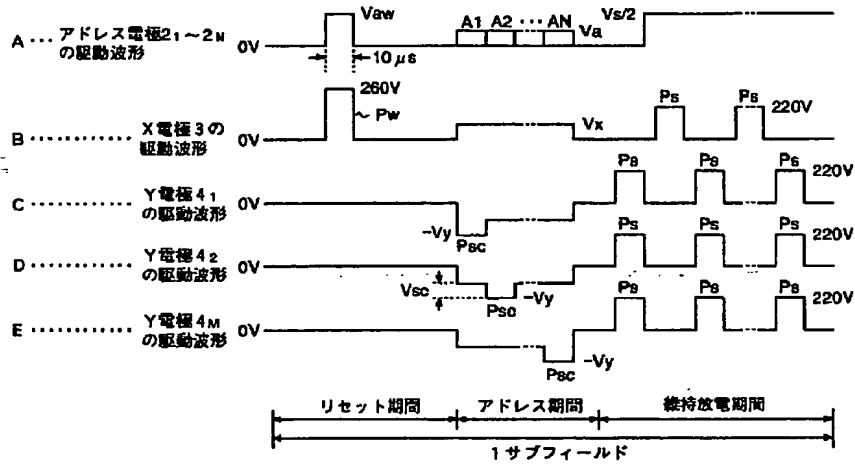
【図6】

第2実施例で行われるリセット期間の動作を説明するための波形図



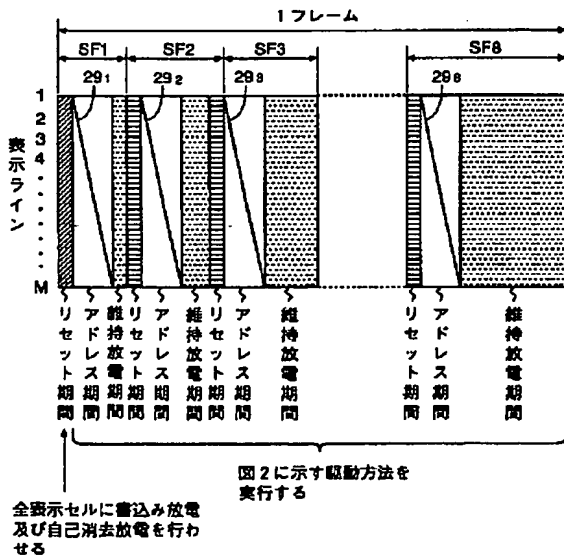
【図5】

サブフィールドSF1～SF8で実行する駆動方法を示す波形図



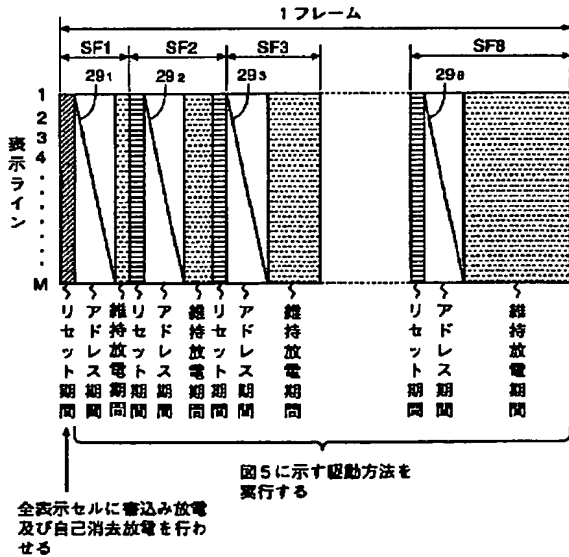
【図7】

第3実施例を説明するためのタイムチャート



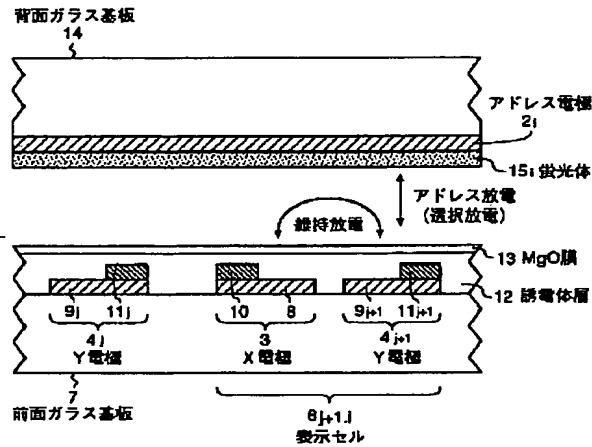
【図8】

第4実施例を説明するためのタイムチャート



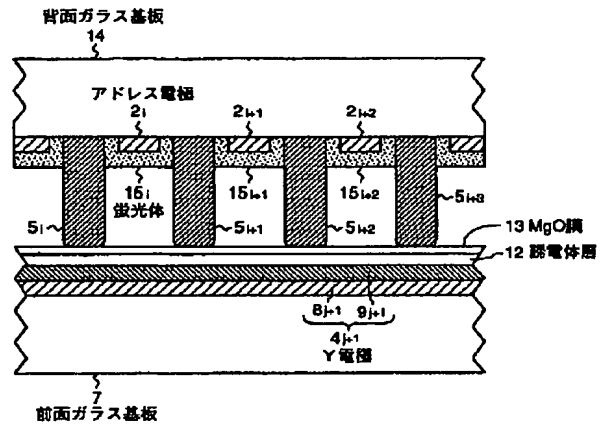
【図10】

図9に示すAC型PDPのアドレス電極に沿った概略的断面図



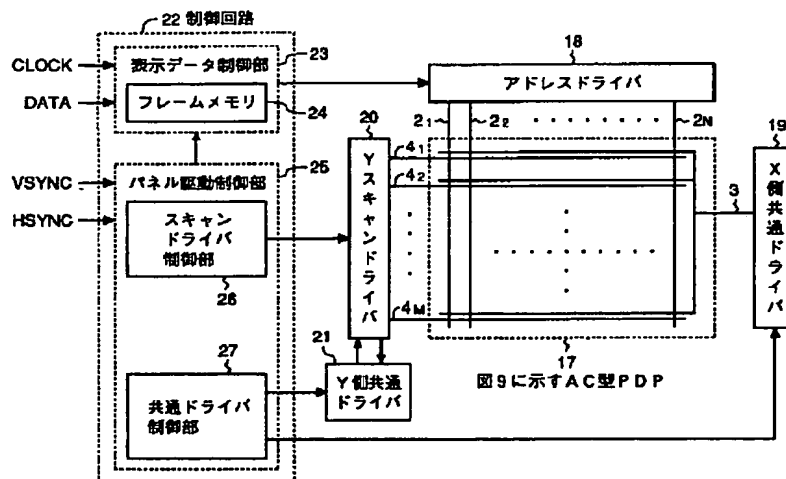
【図11】

図9に示すAC型PDPのY電極に沿った概略的断面図



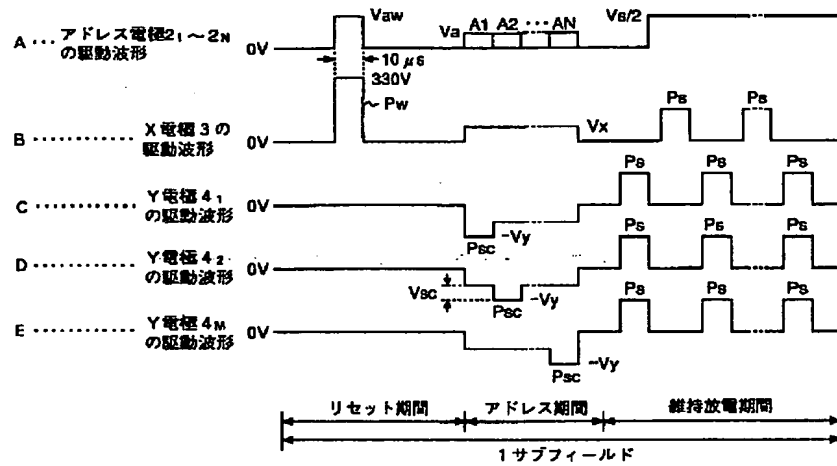
【図12】

図9に示すAC型PDPを駆動するための周辺回路を概略的に示すブロック回路図



【図13】

図9に示すAC型PDPの従来の駆動方法の一例を示す波形図



【図14】

図9に示すAC型PDPにおいて256階調表示を行う場合の駆動方法を示すタイムチャート

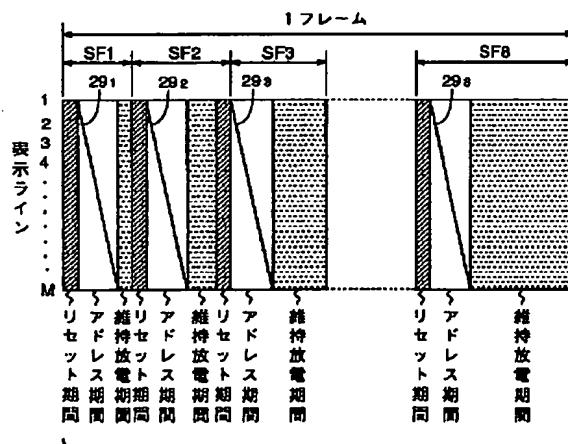


図13に示す駆動方法を実行する